High speed digital data retiming apparatus

Patent Number: US5887040
Publication date: 1999-03-23
Inventor(s): JUNG HEE-YOUNG (KR); LEE BHUM-CHEOL (KR); PARK KWON-CHUL (KR)
Applicant(s):: KOREA TELECOMMUNICATION (KR); KOREA ELECTRONICS TELECOMM (KR)
Requested Patent: JP9181713
Application Number: US19960746992 19961119
Priority Number(s): KR19950050868 19951216
IPC Classification: H04L7/00
EC Classification: H04L7/033E
Equivalents: FR2742614 , KR153952

Abstract

The present invention provides a high speed digital data retiming apparatus, in which, in binary data bits transmitted at a high speed, the data can be retimed in a stable manner, even if there are present a static skew due to a delay difference between the retiming clock pulse and the data and a dynamic skew due to the characteristic variation according to time and temperature. Therefore, the present invention has the following advantages compared with the conventional apparatus. First, periodical and regular external clock pulses are delayed by means of a delaying section, so that system performance is independent of the pattern of data. Second, even if the data phases show a continuous difference (wandering) for more than a certain period of time, an elastic buffer absorbs the wandering, and therefore, no data loss is generated, with the result that the system is not put to a disorder condition. Third, even in the case where a metastable state occurs, its occurrence probability can be significantly reduced by utilizing logic, thereby making it possible to retime the data in stable manner.

Data supplied from the **esp@cenet** database - I2

Best Available Copy

(19)日本国特許庁（ＪＰ）　(12)公開特許公報(A)　(11)特許出願公開番号

特開平9－181713

(43)公開日　平成9年(1997)7月11日

(51)Int.Cl.⁶	識別記号	庁内整理番号	ＦＩ		技術表示箇所
Ｈ０４Ｌ　7/04			Ｈ０４Ｌ　7/04	Ｂ	
7/00			7/00	Ｚ	

審査請求　未請求　請求項の数7　ＯＬ　（全 13 頁）

(21)出願番号　特願平8－316112

(22)出願日　平成８年(1996)11月27日

(31)優先権主張番号　９５－５０８６８

(32)優先日　1995年12月16日

(33)優先権主張国　韓国（ＫＲ）

(71)出願人　591044083
財団法人韓国電子通信研究所
大韓民国大田廣域市儒城区柯亭洞161番地

(71)出願人　394027841
韓国電氣通信公社
大韓民国ソウル特別市鍾路区世宗路100

(72)発明者　ヒーヨン　ジュン
大韓民国、デェジョン、ユソンク、ガジュンドン　161　エレクトロニクス　アンド　テレコミュニケーションズ　リサーチ　インスティチュート内

(74)代理人　弁理士　富田　和子　（外１名）

最終頁に続く

(54)【発明の名称】　高速ディジタルデータ・リタイミング装置

(57)【要約】

【課題】高速に伝送される２進データビットに対してリタイミングクロックパルスとデータビットの遅延差異のための静的スキューと、時間と温度との変化による動的スキューとが存在しても、データを安定的にリタイミングする。

【解決手段】外部入力クロックパルスからｎ位相のｎ個の多重位相クロックパルスを生成する手段201と；このｎ個の多重位相クロックパルスの中、外部から入力されるデータビット間隔の中央に近接して遷移が発生するクロックパルスを１個以上選択するための制御信号を出力する手段202と；多重位相クロックパルスとリタイミングクロックパルス選択信号とを受けて、外部から入力されたデータビット間隔の中央でリタイミングクロックパルスの遷移が発生するように、リタイミングクロックパルスを合成する手段203と；この合成されたリタイミングクロックパルスを用いて外部入力データをリタイミングする手段204とを備える。

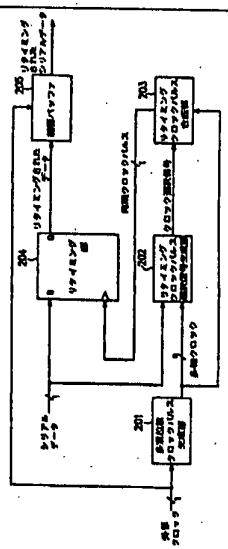


図2

【特許請求の範囲】

【請求項１】　高速に伝送される２進データビットをリタイミングする装置において、

外部から入力されるクロックパルスを用いてｎ（ｎは自然数）個の位相を有するｎ個の多重位相クロックパルスを生成する多重位相クロックパルス生成手段（２０１）と；上記多重位相クロックパルス生成手段（２０１）で生成した多重位相クロックパルスを入力して、ｎ個の多重位相クロックパルスの中で、外部から入力されるデータビット間隔（unit interval)の中央に近接して遷移が発生するクロックパルスを１個以上選択するための制御信号を出力するリタイミングクロックパルス選択信号生成手段（２０２）と；上記多重位相クロックパルス生成手段（２０１）の多重位相クロックパルスと、上記リタイミングクロックパルス選択信号生成手段（２０２）のリタイミングクロックパルス選択信号を入力に受け入れ、外部から入力されたデータビット間隔（unit interval)の中央でリタイミングクロックパルスの遷移が発生するようにリタイミングクロックパルスを合成するリタイミングクロックパルス合成手段（２０３）と；上記リタイミングクロックパルス合成手段（２０３）の合成されたリタイミングクロックパルスを用いて外部から入力されたデータをリタイミングするデータ・リタイミング手段（２０４）とを備えることを特徴とする高速ディジタルデータ・リタイミング装置。

【請求項２】　外部から入力されるデータの位相が、外部から入力されるクロックパルスの位相に対して、正（負）の値で外部から入力されるクロックパルスの１周期以上として徐々に変る際（wander)、これを吸収してスリップが発生しないようにし、上記リタイミングクロックパルス合成手段（２０３）の合成されたリタイミングクロックパルスでリタイミングされたデータを、外部から入力されるクロックパルスで再びリタイミングして、最終的にリタイミングされたデータが外部から入力されるクロックパルスの位相に同期されるようにする緩衝バッファー（elastic buffer)手段（２０５）をさらに備えること、を特徴とする請求項１記載の高速ディジタルデータ・リタイミング装置。

【請求項３】　上記多重位相クロックパルス生成手段（２０１）は、

１個の定位相クロックパルスと１個の逆位相クロックパルスを生成する少なくとも一つ以上の正位相クロック生成単位モジュール（３０１～３０（ｎ／２））を備えることを特徴とする請求項１記載の高速ディジタルデータ：リタイミング装置。

【請求項４】　上記正位相クロック生成単位モジュール（３０１～３０（ｎ／２））は、

１番目の段は、外部クロックを入力され一定時間遅延させて出力する遅延部（３１１）と；上記遅延部（３１１）を介して出力を反転させ、逆位相クロックパルスを出力する第１インバータ（３２１）と；上記第１インバータ（３２１）を介した逆位相出力を再び反転させ、定位相出力で出力させる第２インバータ（３２２）を備えてなり、

上記の正位相クロック生成単位モジュール（３０１）から２番目以後の正位相クロック生成単位モジュール（３０２～３０（ｎ／２））は、先立つ正位相クロック生成モジュールで出力した定位相クロックパルス（ＤＣＰ１）を入力に受け入れ、遅延器を介して遅延させた後、２個のインバータを介して１個の定位相クロックパルス（ＤＣＰ２）と１個の逆位相クロックパルス（ＤＣＰＮ２）とを生成し、次の段のクロック入力になるように多段に構成したことを特徴とする請求項３記載の高速ディジタルデータ・リタイミング装置。

【請求項５】　上記クロック選択信号生成手段（２０２）は、

上記定位相多重位相クロックと外部から入力したデータを入力に受け入れ、ｎ／２個の定位相多重クロックパルスの中で、外部から入力されるデータビット間隔の中央に近接して、遷移が発生するクロックパルスを選択するための制御信号を出力する定位相クロック選択信号生成部（５０１）と；上記逆位相多重位相クロックと、外部から入力したデータを入力に受け入れ、ｎ／２個の逆位相多重クロックパルスの中で、外部から入力されるデータビット間隔の中央に近接して、遷移が発生するクロックパルスを１個以上選択するための制御信号を出力する逆位相クロック選択信号生成部（５０２）を備えていることを特徴とする請求項１または４記載の高速ディジタルデータ・リタイミング装置。

【請求項６】　上記クロックパルス選択信号生成手段（２０３）は、

上記多重位相クロックパルス生成手段（２０１）から出力した定位相クロックパルスまたは逆位相のクロックパルスを各々データ入力（Ｄ）に受け入れ、これを外部から入力したデータをクロックパルスとして用いてリタイミングして出力する少なくとも１個以上のＤフリップフロップ（６０１，６０２，６０３，…，６０［（ｎ／２）－２］，６０［（ｎ／２）－１］，６０（ｎ／２））と；上記Ｄフリップフロップ（６０１，６０２，６０３，…，６０［（ｎ／２）－２］，６０［（ｎ／２）－１］，６０（ｎ／２））でリタイミングして出力した値を入力にして、外部から入力したデータの遷移が検出された時０を出力し、遷移が検出されないとき、１を出力するクロックパルス選択信号生成リタイミング部（６１１～６１（（ｎ／２）－２）と；上記クロックパルス選択信号生成部で出力した遷移検出信号を上記多重位相クロックパルス生成手段（２０１）で出力した定位相クロックまたは逆位相のクロックパルスを用いてリタイミングした後で出力する少なくとも１個以上のＤフリップフロップ（６２１，６２２，６２３，…，６２

[（n／2）－2]）を備えていることを特徴とする請求項1記載の高速ディジタルデータ・リタイミング装置。

【請求項7】　上記Dフリップフロップ（601，602，603，…，60[（n／2）－2]，60[（n／2）－1]，60（n／2））と、Dフリップフロップ（621，622，623，…，62[（n／2）－2]）は、各々を多段（multi-step)に構成するようにしたことを特徴とする請求項6記載の高速ディジタルデータ・リタイミング装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高速で伝送される2進データビットに対して、リタイミングクロックパルスとデータビットとの遅延の差異による静的スキュー（Static skew)と、時間および温度の変化による動的スキュー（Dynamic skew)とが存在するとしても、データを安定的にリタイミングすることができる高速ディジタルデータ・リタイミング装置に関するものである。

【0002】

【従来の技術】従来、データが高速で伝送されるディジタルシステムでは、全体のシステムがシステムクロックパルスに同期して動作する場合が多い。

【0003】この場合、データとクロックパルスとの位相が適切でない場合（すなわち、データの遷移（エッジ；edge）とクロックパルスの遷移とがフリップフロップの設定および遅延時間を満足するほど充分に離れていない場合）、準安定化条件が発生し、データを安定にリタイミングすることができない。

【0004】上記問題点を解決するためにＰＬＬ（Phase Locked Loop)構造を利用したクロックパルス復旧方式[Ｃ．Ｐ．Ｓｕｍｍｅｒ（米国特許第8039874号）、Ｍ．Ｂｅｌｋｉｎ（米国特許第4400667号）、Ｃ．Ｒ．Ｈｏｇｇｅ（米国特許第4535459号）]が開発された。この方法は、高速データ伝送時にデータを安定にリタイミングすることはできるが、一般的に構成が複雑で、電圧制御発振器（Voltage controlled oscillator)、低域濾波器（Low Pass Filter)等のアナログ部品が使用されるので、集積化が難しく非経済的であるという問題点があった。

【0005】これを克服するために、4個の位相（0°、90°、180°、270°）を有した外部クロックパルスを生成し、データの遷移部分を検出する。この検出結果を用いて制御信号を生成し、順次的な位相遅延を有するデータの中、外部のクロックパルスの位相に適合な遅延データを選択することにより、外部クロックパルスにデータを整列（align)させる方法が考案された。

【0006】しかし、4個の位相を有したクロックパルスを用いるため、周波数が上昇するのにつれてクロックパルスの生成が難しくなる。[R.R.Cordell(IEEE journal of solid-state circuits, vol23、No2、1988)]これを解決するため、外部クロックパルスと位相とが反対であるクロックパルスだけ、すなわち、2個の位相を有したクロックパルスだけを用いてデータ整列させる方法が提案されているが、この場合には、逆位相クロックパルスを用いるため、システムのタイミング余裕（timing margin）が低下するという短所があり、システム全体の動作周波数を低下させるという問題があった[Ｒ．Ｒ．Ｃｏｒｄｅｌｌ（米国特許4821296)]。

【0007】

【発明が解決しようとする課題】これを改善するために、遅延素子を用いて複数の位相のクロックパルスを生成することによって単一位相の外部クロックパルスだけを使っても良い方法が開発された[Ｓ．Ｗ．Ｌｏｗｒｅｙ（米国特許第5278873号）]。

【0008】図1は、上記の従来の2進データ・リタイミング装置の構成図であって、101は、遷移検出器（Edge Detector)、102は増減制御器（Increment-Decrement Controller)、103は両位相シフトレジスタ（二つの位相によって動作するシフトレジスタ）および多重化器（D/MD register & multiplexer)である。上記遷移検出器101は、外部クロックパルスを複数段（step）でなる遅延素子を用いて遅延させることによって多数の位相の外部クロックパルスを生成し、これを用いてデータの遷移が発生する部分を検出する。

【0009】上記制御信号生成器102は、検出されたデータの遷移検出信号を用いて両位相シフトレジスタおよび多重化器を制御するためのup／down制御信号を生成し、両位相シフトレジスタおよび多重化器103は、制御信号生成器からup／down制御信号を入力し、両位相シフトレジスタから外部クロックパルス（Local clock）の位相に同期されたデータを選択し、多重化器を介してこれを出力する。

【0010】ところで、上記の方法は複数の位相のクロックパルスが不必要だという長所はあるが（すなわち、一つの位相のクロックパルスだけを利用する）、上述のいろいろの方法のように非周期的な無作為（random）データを遅延素子を用いて遅延させることによって、システムの性能がデータのパターンに依存することになり（Data pattern-dependent)、データの位相に一定時間以上連続的に差異（揺れ；wander）が発生し、あらかじめきめておいた遅延限界を越える場合、初期化しなければならないので、データの損失が発生するため、システムが故障状態（Fault state)に陥るという問題点がある。

【0011】本発明の目的は、高速に伝送される2進データビットに対してリタイミングクロックパルスとデータビットの遅延差異のための静的スキュー（Static skew)と、時間と温度との変化による動的スキュー（Dynamic skew)とが存在しても、データを安定的にリタイミングすることができる高速ディジタルデータ・リタイミング装置を提供することにある。

【0012】

【課題を解決するための手段】上記のような問題点を解決するために案出された本発明は、周期的で規則的な外部クロックパルスを、遅延素子を用いて遅延させることによって、システムの性能がデータのパターンに依存せず（Data pattern-independent)になり、データの位相に一定時間以上連続的に差異が発生する揺れが発生しても、緩衝バッファー(elastic buffer)を用いてこれを吸収することができるので、データの損失が発生しないためシステムが故障状態にならず、準安定化（metastability)状態が発生する場合も、これを確率的にかなり減らせることができる。

【0013】上記目的を達成するために本発明は、外部から入力されるクロックパルスを用いて、n（nは自然数）個の位相を有したn個の多重位相クロックパルスを生成する多重位相クロックパルス生成手段と；上記多重位相クロックパルス生成手段から生成した多重位相クロックパルスを入力し、n個の多重位相クロックパルスの中、外部から入力されるデータビット間隔の中央に近接して、遷移が発生するクロックパルスを1個以上選択するための制御信号を出力するリタイミングクロックパルス選択信号生成手段と；上記多重位相クロックパルス生成手段の多重位相クロックパルスと、上記リタイミングクロックパルス選択信号生成手段のリタイミングクロックパルス選択信号を入力に受け入れ、外部から入力されたデータビット間隔の中央でリタイミングクロックパルスの遷移が発生するようにリタイミングクロックパルスを合成するリタイミングクロックパルス合成手段と；上記リタイミングクロックパルス合成手段の合成されたリタイミングクロックパルスを用いて外部から入力されたデータをリタイミングするデータ・リタイミング手段とを備えることを特徴とする。

【0014】

【発明の実施の形態】以下、添付された図面の図2以下を参考として本発明の一実施の形態を説明する。

【0015】図2は、本発明によるデータ・リタイミング装置の全体ブロック構成図であって、図面において、201は、多重位相クロックパルス生成部、202は、リタイミングクロックパルス選択信号生成部、203は、データクロックパルス合成部、204はデータ・リタイミング部、205は緩衝バッファー部を各々示している。

【0016】図面に示したように、多重位相クロックパルス生成部201は、外部から入力されるクロックパルスを用いて、n個の位相を有したn個の多重位相クロックパルスを生成し、上記多重位相クロックパルスの1番目のクロックパルスと最後のクロックパルスとの位相の差異は、外部から入力されるクロックパルスの周期（T）より大きいか同じ（上記多重位相クロックパルスの任意のクロックパルスと、そのすぐ次のクロックパルスとの位相差異であるPが（P＞T／（n－1））を満足する）n個の位相を有した、n個の多重位相クロックパルスを生成する。

【0017】リタイミングクロックパルス選択信号生成部202は、上記多重位相クロックパルス生成部201で生成した多重位相クロックパルスを入力してn個の多重位相クロックパルスの中、外部から入力されるデータビット間隔（unit interval)の中央に近接して、遷移（クロックパルスの上昇遷移でリタイミングをする場合は上昇遷移であり、クロックパルスの下降遷移でリタイミングする場合は下降遷移）が発生するクロックパルスを1個以上選択するための制御信号を出力する。

【0018】リタイミングクロックパルス合成部203は、上記多重位相クロックパルス生成部201の多重位相クロックパルスと、上記リタイミングクロックパルス選択信号生成手段のリタイミングクロックパルス選択信号を入力に受け入れ、外部から入力されたデータビット間隔（unit interval)の中央でデータクロックパルスの遷移が発生するように、リタイミングクロックパルスを合成する。

【0019】データ・リタイミング部204は、上記リタイミングクロックパルス合成部203の合成されたリタイミングクロックパルスを用いて外部から入力されたデータをリタイミングする。データ・リタイミング部204は、Ｄ－フリップフロック等により構成することができる。

【0020】緩衝バッファー（elastic buffer)部205は、外部から入力されるデータの位相が外部から入力されるクロックパルスの位相に対して正の値、または負の値で外部から入力されるクロックパルスの1周期以上に徐々に変る際（wander)、これを吸収してスリップ（slip)が発生しないようにし、上記リタイミングクロックパルス合成部203の合成されたリタイミングクロックパルスでリタイミングされたデータを外部から入力されるクロックパルスで再びリタイミングし、最終的にリタイミングされたデータが外部から入力されるクロックパルスの位相に同期されるようにして出力する。緩衝バッファー205は、ＦＩＦＯフリップフロップ等により構成することができる。

【0021】図3は本発明による多重位相クロック生成部201の一実施の形態を示す図であって、図面において、301，302，…，30[（n／2）－1]，30（n／2）は、1個の定位相クロックパルスと1個の逆位相クロックパルスを生成する正位相クロック生成単位モジュールであり、311は、入力を一定時間遅延させて出力する遅延素子（delay)であり、321，322はインバータ（inverter)である。

【００２２】図面に示したように、外部から入力されたクロックは、一番目の段の正位相クロック生成単位モジュール３０１に入力され、遅延器３１１を介して信号を遅延させた後、インバータ３２１を用いて１個の定位相クロックパルス（ＤＣＰ１）と１個の逆位相クロックパルス（ＤＣＰＮ１）とを生成し、上記の正位相クロック生成単位モジュール３０１で生成された１個の定位相クロックパルス（ＤＣＰ１）を正位相クロック生成単位モジュール３０２の正位相クロック生成単位モジュールで出力する。

【００２３】上記正位相クロック生成単位モジュール３０２は、上記正位相クロック生成単位モジュール３０１から出力した定位相クロックパルス（ＤＣＰ１）を入力に受け入れ遅延器を介して遅延させた後、２個のインバータを介して１個の定位相クロックパルス（ＤＣＰ２）と、１個の逆位相クロックパルス（ＤＣＰＮ２）とを生成し、上記のようにして生成された１個の定位相クロックパルスを正位相クロック生成単位モジュール３０３の正位相クロック生成単位モジュールで出力する。すなわち、３０ｒ（この時、ｒは（ｎ／２）より小さい自然数）は、その以前の段［すなわち、３０（ｒ－１）］から生成された定位相クロックを入力にし、遅延素子を用いて信号を遅延させ、２個のインバータを介して１個の定位相クロックパルス（ＤＣＰｒ）と１個の逆位相クロックパルス（ＤＣＰＮｒ）とを生成し、上記の３０ｒで生成された１個の定位相クロックパルス（ＤＣＰｒ）を次の段［すなわち、３０（ｒ＋１）］に出力する。

【００２４】最後の段である正位相クロック生成単位モジュール（３０（ｎ／２））は、その以前の段（すなわち、３０［（ｎ／２）－１］）で生成された定位相クロック［ＤＣＰ（ｎ／２）－１］を入力にして、１個の定位相クロックパルス［ＤＣＰ（ｎ／２）］と１個の逆位相クロックパルス［ＤＣＰＮ（ｎ／２）］とを生成して外部に出力する。

【００２５】このとき、遅延素子の遅延は全部同一であり、任意の段３０ｒにおいての定位相クロックパルス出力ＤＣＰｒと、その次の段の定位相クロック出力ＤＣＰ（ｒ－１）の間の位相差Ｐ［または任意の逆位相クロックパルス出力ＤＣＰＮｒとその次の段の逆位相クロックパルスＤＣＰＮ（ｒ－１）との位相差］は、Ｔ／（ｎ－１）より大きいか同じである。

【００２６】すなわち、上記の位相差条件（Ｐ＞　Ｔ／（ｎ－１）を満足させることによって、順次的に一定の位相差を有して遅延された定位相クロックパルスは、クロックパルスの上昇遷移と下降遷移の間に発生するデータの全ての遷移を検出することができ、順次的に一定の位相差を有して遅延された逆位相クロックパルスは、クロックパルスの下降遷移と上昇遷移との間に発生するデータの全ての遷移を検出することができる。

【００２７】図４は多重位相クロック生成器２０１で出力する多重位相クロックパルスの主要部分のタイミング図を示したものであって、ＤＣＰ１，ＣＤＰ２，…，ＤＣＰ［（ｎ／２）－２］，ＤＣＰ［（ｎ／２）－１］，ＤＣＰ（ｎ／２）は定位相多重クロックパルスを示しており、ＤＣＰＮ１，ＤＣＰＮ２，…，ＤＣＰＮ［（ｎ／２）－２］，ＤＣＰＮ［（ｎ／２）－１］，ＤＣＰＮ（ｎ／２）は逆位相多重クロックパルスを各々示している。上記の定位相クロックパルスＤＣＰ１は、外部クロックパルスを遅延素子と２個のインバータとを介して、外部入力クロックパルスとＰの位相差を有するように遅延させた信号であり、上記定位相クロックパルスＤＣＰ２は、上記の定位相クロックパルスＤＣＰ１を遅延素子と２個のインバータとを介して、すぐ前の段の定位相クロックパルス（ＤＣＰ１）とＰとの位相差異を有するように遅延させたものである。

【００２８】すなわち、ＤＣＰｒは、前段の定位相クロックパルスＤＣＰ（ｒ－１）を遅延素子と２個のインバータとを用いて上記のすぐ前の段の定位相クロックパルスであるＤＣＰ（ｒ－１）とＰとの位相差異を有するように遅延させた信号となる。

【００２９】ＤＣＰ（ｎ／２）は、ＤＣＰ［（ｎ／２）－１］を遅延素子と２個のインバータとを用いてＰの位相差で遅延させた信号であって、ＤＣＰ１でＤＣＰ（ｎ／２）までの位相差が外部入力クロックパルスの半周期（Ｔ／２）より大きいので、ＤＣＰ１でＤＣＰ（ｎ／２）の多重定位相クロックパルスは、入力データの上昇遷移が外部入力クロックの上昇遷移と下降遷移との間の、どの部分で発生しても全部検出することができる。上記の逆位相クロックパルスＤＣＰＮ１は、外部クロックパルスを遅延素子と１個のインバータとを介して"Ｐ－インバータの遅延"の位相差を有するように遅延させた信号であり、上記の逆位相クロックパルスＤＣＰＮ２は、上記の逆位相クロックパルスＤＣＰＮ１を遅延素子と２個のインバータとを介して、Ｐの位相差異に遅延させたものである。

【００３０】すなわち、ＤＣＰＮｒは（ｒ＝１のとき除外）、前段の逆位相クロックパルスＤＣＰＮ（ｒ－１）を遅延素子と２個のインバータとを用いてＰの位相差で遅延させた信号となる。

【００３１】ＤＣＰＮ（ｎ／２）は、ＤＣＰＮ［（ｎ／２）－１］を遅延素子と２個のインバータとを用いてＰの位相差で遅延させた信号であって、ＤＣＰＮ１からＤＣＰＮ（ｎ／２）までの位相差が、外部入力クロックパルスの半周期（Ｔ／２）より大きいので、ＤＣＰＮ１において、ＤＣＰＮ（ｎ／２）の多重逆位相クロックパルスは、入力データ上昇遷移が、外部入力クロックの下降遷移と上昇遷移との間のどこで発生しても全部検出することができる。

【００３２】図５はクロック選択信号生成部２０２の構成ブロック図を示したものであって、５０１は、定位相クロックパルス選択信号生成部、５０２は、逆位相クロックパルス選択信号生成部を各々示している。

【００３３】図面に示したように、定位相クロック選択信号生成部５０１は、上記の定位相多重位相クロックＤＣＰ１～ＤＣＰ（ｎ／２）と、外部から入力したデータとを入力に受け入れ、ｎ／２個の定位相多重クロックパルスの中で、外部から入力されるデータビット間隔（unit interval)の中央に近接して遷移（クロックパルスの上昇遷移でリタイミングをする場合は上昇遷移であり、クロックパルスの下降遷移でリタイミングする場合は下降遷移）が発生するクロックパルスを選択するための制御信号を出力し、逆位相クロック選択信号生成部５０２は、上記の逆位相多重位相クロックＤＣＰＮ１～ＤＣＰＮ（ｎ／２）と外部から入力したデータとを入力に受け入れ、ｎ／２個の逆位相多重クロックパルスの中、外部から入力されるデータビット間隔（unit interval)の中央に近接して、遷移（クロックパルスの上昇遷移でリタイミングする場合は上昇遷移であり、クロックパルスの下降遷移でリタイミングする場合には下降遷移）が発生するクロックパルスを１個以上選択するための制御信号を出力する。

【００３４】図６は本発明によるクロックパルス選択信号生成部２０２の一実施の形態であって、図５の定位相クロック選択信号生成部と逆位相クロックパルス信号生成部に共通に用いられ、６０１、６０２、６０３、…、６０［（ｎ／２）－２］、６０［（ｎ／２）－１］、６０（ｎ／２）と６２１、６２２、…、６２（ｎ－２）は、Ｄフリップフロップを示しており、６１１、６１２、…、６（ｎ－２）はクロックパルス選択信号生成回路部を示している。

【００３５】図面に示している、Ｄフリップフロップ６０１、６０２、６０３、…、６０［（ｎ／２）－２］、６０［（ｎ／２）－１］、６０（ｎ／２）は、上記多重位相クロックパルス生成部２０１で出力した定位相クロックパルス［ＤＣＰ１、ＤＣＰ２、…、ＤＣＰ［（ｎ／２）－２］、ＤＣＰ［（ｎ／２）－１］、ＤＣＰ（ｎ／２）］と、または逆位相のクロックパルス［ＤＣＰＮ１、ＤＣＰＮ２、…、ＤＣＰＮ［（ｎ／２）－２］、ＤＣＰＮ［（ｎ／２）－１］、ＤＣＰＮ（ｎ／２）］を各々Ｄフリップフロップのデータ入力（Ｄ）に受け入れ、これを外部から入力したデータをクロックパルスとして用いてリタイミングして出力する［Ａ１、Ａ２、Ａ３、…、Ａ［（ｎ／２）－２］、Ａ［（ｎ／２）－１］、Ａ（ｎ／２）］。

【００３６】クロックパルス選択信号生成回路部６１１、６１２、…、６［（ｎ／２）－２］は、上記Ｄフリップフロップ６０１、６０２、６０３、…、６０［（ｎ／２）－２］、６０［（ｎ／２）－１］、６０（ｎ／２）でリタイミングして出力した値［Ａ１、Ａ２、Ａ３、…、Ａ［（ｎ／２）－２］、Ａ［（ｎ／２）－１］、Ａ（ｎ／２）］を入力に受け入れ、外部から入力したデータの遷移が検出された時、０を出力し、遷移が検出されなかった時、１を出力する［Ｂ１、Ｂ２、…、Ｂ［（ｎ／２）－２］］。

【００３７】上記Ｄフリップフロップ６２１、６２２、６２３、…、６２［（ｎ／２）－２］は、上記クロックパルス選択信号生成回路部から出力した遷移検出信号［Ｂ１、Ｂ２、…、Ｂ［（ｎ／２）－２］］を、上記の多重位相クロックパルス生成部から出力した定位相クロック［ＤＣＰ１、ＤＣＰ２、…、ＤＣＰ［（ｎ／２）－２］、ＤＣＰ［（ｎ／２）－１］、ＤＣＰ（ｎ／２）］、または逆位相のクロックパルス［ＤＣＰＮ１、ＤＣＰＮ２、…、ＤＣＰＮ［（ｎ／２）－２］、ＤＣＰＮ［（ｎ／２）－１］、ＤＣＰＮ（ｎ／２）］を用いてリタイミングした後で出力する［ＥＮ１、ＥＮ２、…、ＥＮ［（ｎ／２）－２］］。

【００３８】このときＤフリップフロップ６０１、６０２、６０３、…、６０［（ｎ／２）－２］、６０［（ｎ／２）－１］、６０（ｎ／２）と６２１、６２２、６２３、…、６２［（ｎ／２）－２］は、量子化（metastability)が発生する確率を低減するため、図７のように２段またはそれ以上の多段（multi-step)とすることもできる。

【００３９】図８はクロックパルス選択信号生成回路部の一実施の形態を示す図であって、８１１はインバータを示しており、８１２、８１３、８１４は、各々２－入力ＮＯＲゲートを示している。

【００４０】図面において、Ａｍ、Ａ（ｍ＋１）、Ａ（ｍ＋２）（この時、ｍはｎより小さいとか同じ自然数）は、各々上記Ｄフリップフロップ６０１、６０２、６０３、…、６０［（ｎ／２）－２］、６０［（ｎ／２）－１］、６０（ｎ／２）でリタイミングして出力した値［Ａ１、Ａ２、Ａ３、…、Ａ［（ｎ／２）－２］、Ａ［（ｎ／２）－１］、Ａ（ｎ／２）］のうち、ｍ番目と、ｍ＋１番目と、ｍ＋２番目との出力値であり、ＡｍとＡ（ｍ＋１）との間、またはＡｍとＡ（ｍ＋２）との間で、ロジックの値が異なる場合、Ｂｍ値はロジック０を出力し、そうでない場合、Ｂｍからロジック１を出力する。

【００４１】上記クロックパルス選択信号回路部は、上記Ｄフリップフロップ６０１、６０２、６０３、…、６０［（ｎ／２）－２］、６０［（ｎ／２）－１］、６０（ｎ／２）からの入力［ＤＣＰ１、ＤＣＰ２、…、ＤＣＰ（ｎ／２）］が外部からの入力したデータの上昇（または下降）遷移に対して、セットアップ時間（Setuptime)および遅延時間（ihold time)を満足することができない。このため、量子化（metastability)条件が発生して、出力がロジック１または０で出力される場合、および、発振してもパルスの幅がインバータ８０１やＮＯＲ８１１、８１２、８１３ゲートの遅延時間より小さい場

合は、安定に動作するので、最子化によるシステムの不安定性の確率をかなり減少させることができる。

【0042】図9（A）と（B）は入力されたデータの位相によってクロック選択信号を生成する機能を行なう上記図6の機能をタイミング図で示したものであって、DCPm、DCP（m+1）、DCP（m+2）（このとき、mはnより小さい自然数）は上記多重位相クロック生成部から出力したm番目、（m+1）番目、（m+2）番目の多重位相クロックを示しており、ENmは上記クロック選択信号生成部でデータの遷移を検出する際生成されるm番目のクロック選択信号を示している。

【0043】図面（A）において、任意の時間t1に入力データの遷移はDCPmとDCP（m+1）、DCP（m+2）との遷移部分に存在していない。

【0044】しかし、t2でのように入力データの位相が変化する場合、入力データの上昇遷移がDCPmの上昇遷移とDCP（m+1）の上昇遷移との間に存在するようになり、このときデータの上昇遷移で入力されたクロックパルス［DCPm、DCP（m+1）、DCP（m+2）］をリタイミングするとき、どのクロックパルスでも最子化条件を有していない。このとき、入力データの上昇遷移でDCPmをリタイミングした値と、DCP（m+1）をリタイミングした値とが互いに異なるようになるので、この区間で入力データの遷移が発生することを検出することができ、その結果がDCPmにリタイミングされてENmに出力される。

【0045】図9の（B）において、任意の時間t1に入力データの上昇遷移はDCPmとDCP（m+1）、DCP（m+2）の遷移部分に存在していない。

【0046】しかし、t2でのように入力データの位相が変化する場合、入力データの上昇遷移でDCPm、DCP（m+1）、DCP（m+2）をリタイミングすれば、DCPmとDCP（m+2）とは安定にリタイミングされるが、DCP（m+1）をリタイミングした場合、最子化状態にあるようになる。

【0047】上記の場合にもDCPmとDCP（m+2）とを入力したデータの上昇遷移でリタイミングした結果が互いに異なるため、これを用いてこの区間内にデータの遷移が発生することを検出することができ、その結果がDCPmリタイミングされENmに出力される。

【0048】図10はクロック合成部203の一実施の形態を示したものであって、1001、1002、…、100［（n／2）－1］、100（n／2）と、1011、1012、…、101［（n／2）－1］、101（n／2）と、1031は2－入力ORゲートを示しており、1021、1022は；（n／2）－入力NANDゲートを示している。

【0049】図面において、上記多重位相クロック生成部201で入力した定位相多重遅延クロック（DCP1、DCP2、…、DCP［（n／2）－3］、DCP［（n／2）－2］は、上記クロック選択信号生成部202から出力した選択信号EN0、EN1、…、EN［（n／2）－3］、EN［（n／2）－2］によりORゲート［1001、1002、…、100［（n／2）－1］、100（n／2）］を介して選択された場合（すなわち、選択信号がロジック0の場合）バイパス（bypass）されて、NANDゲート1021によりバイパスされた他の位相のクロックパルスと合成され、選択されない場合（すなわち、選択信号がロジック1の場合）ブロッキング（blocking）され、ロジック1が出力される。

【0050】上記多重位相クロック生成部201から入力した逆位相多重遅延クロック（DCPN1、DCPN2、…、DCPN［（n／2）－3］、DCPN［（n／2）－2］は上記定位相クロック選択信号生成部から出力した選択信号（ENN0、ENN1、…、ENN［（n／2）－3］、ENN［（n／2）－2］）によりORゲート［1011、1012、…、101［（n／2）－1］、101（n／2）］を介して選択された場合（すなわち、選択信号がロジック0の場合）バイパス（bypass）され、NANDゲート921によりバイパスされた他の位相のクロックパルスと合成され、選択されない場合（すなわち、選択信号がロジック1の場合）ブロッキング（blocking）され、ロジック1が出力される。

【0051】上記2－入力ORゲート1031は、上記定位相クロック合成のためのNANDゲート1021で出力した定位相合成クロックと上記逆位相クロック合成のためのNANDゲート1022から出力した逆位相合成クロックを最終合成して外部に出力する。

【0052】図11は、図10において定位相クロックパルスDCPp［この時、pは（n／2）－2より小さい自然数］と逆位相クロックパルスDCPq［この時、qは（n／2）－2より小さい自然数］とが選択する際、出力される合成クロックのタイミング図を示したものである。

【0053】図面において、選択された定位相クロックパルスDCPpを除外した全ての定位相クロックは、定位相クロックパルス選択信号がロジック1であるので、2－入力ORゲート［1001、1002、…、100［（n／2）－3］、100［（n／2）－2］でブロッキング（blocking）され、DCPpだけが2－入力NANDゲート1021を介して位相が反転され、1031の2－入力ORゲートの入力へ出力される。

【0054】選択された逆位相クロックパルスDCPqを除外した全ての逆位相クロックは逆位相クロックパルス選択信号がロジック1であるので、2－入力ORゲート［1011、1012、…、101［（n／2）－3］、101［（n／2）－2］でブロッキング（blocking）され、DCPqだけが2－入力NANDゲート1022を介して位相が反転され、2－入力ORゲート1031の入力へ出力される。

【0055】1021の2－入力NANDゲートと、2－入力NANDゲート1022とを介して出力されたクロックパルスと、2－入力ORゲート1031で最終合成され、合成されたクロックパルスが出力される。

【0056】本発明は、上記のような構成を用いて高速のディジタルデータ・リタイミング装置として使用されることができ、従来の方法に比べて以下のような長所を有している。

【0057】第1に、周期的で規則的な外部クロックパルスを遅延素子を用いて遅延させることにより、システムの性能がデータのパターンと独立的（Data Pattern-independent）になり、第2に、データの位相が一定時間以上連続的に差異が発生する揺れが発生しても、緩衝バッファー（elastic buffer）を用いてこれを吸収することができるので、データの損失が発生しないため、システムが故障状態にならず、第3に、最子化（metastability）状態が発生する場合にも、ロジックを用いてこの発生確率をかなり減少させることによりデータを安定にリタイミングすることができる。

【図面の簡単な説明】

【図1】従来の高速ディジタルデータ・リタイミング装置の構成図。

【図2】本発明による高速ディジタルデータ・リタイミング装置の構成図。

【図3】本発明による多重位相クロックパルス生成部の一実施の形態を示す図。

【図4】本発明による多重位相クロックパルス生成部の主要タイミング図。

【図5】本発明によるクロックパルス選択信号生成部の構成の一実施の形態を示す図。

【図6】本発明によるクロックパルス選択信号生成部の一実施の形態を示す図。

【図7】本発明によるクロックパルス選択信号生成部の多段フリップフロップの一実施の形態を示す図。

【図8】本発明によるクロックパルス選択信号生成回路の一実施の形態を示す図。

【図9】本発明によるクロックパルス選択信号生成回路の主要タイミング図。

【図10】本発明によるクロックパルス合成部の一実施の形態を示す図。

【図11】本発明によるクロックパルス合成部の主要タイミング図。

【符号の説明】

101　遷移検出器（Edge Detector）

102　増減制御器（Increment-Decrement Controller）

103　両位相シフトレジストおよび多重化器（D/DD Register and Multiplexer）

201　多重位相クロックパルス生成器（Multi-Phase Clock Generator）

202　クロックパルス選択信号生成器（Clock Pulse Select Signal Generator）

203　クロックパルス合成器（Clock Pulse Synthesizer）

204　リタイミング部（Retimmer）

205　緩衝バッファー器（Elastic Buffer）

301　30（n／2）　両位相クロックパルス生成単位モジュール

311　遅延手段

321，322　インバータ

501　定位相クロックパルス選択信号生成器

502　逆位相クロックパルス選択信号生成器

601，60（n／2），621，62［（n／2）－2］　Dフリップフロップ

611，61［（n／2）－2］　選択信号生成回路

801　インバータ

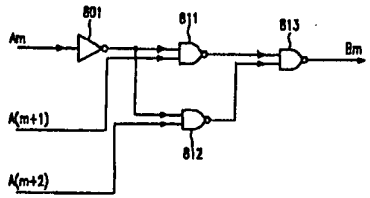
811，812，813　2－入力NOR

1001　100［（n／2）－2］，911　91［（n／2）－2］，931　2－入力OR

1021，1022　（n／2）－入力NAND

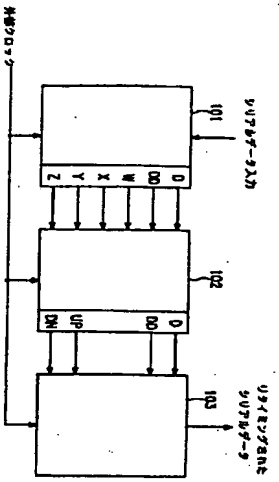
【図8】

図8



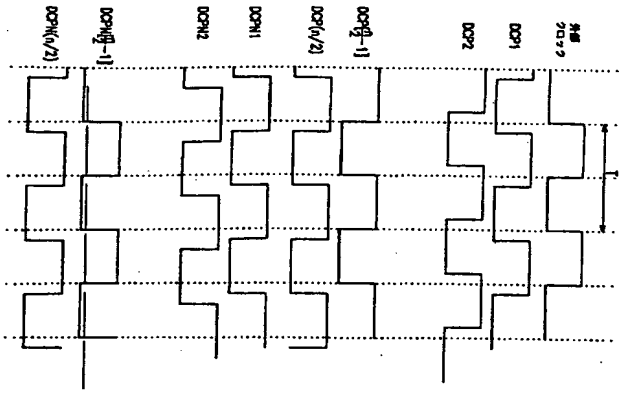
【図１】

従来例（図１）



【図４】

図4



【図５】

図5

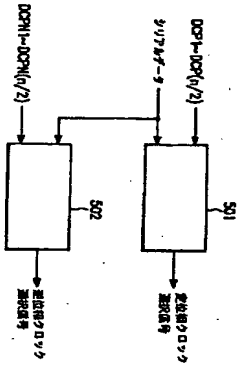
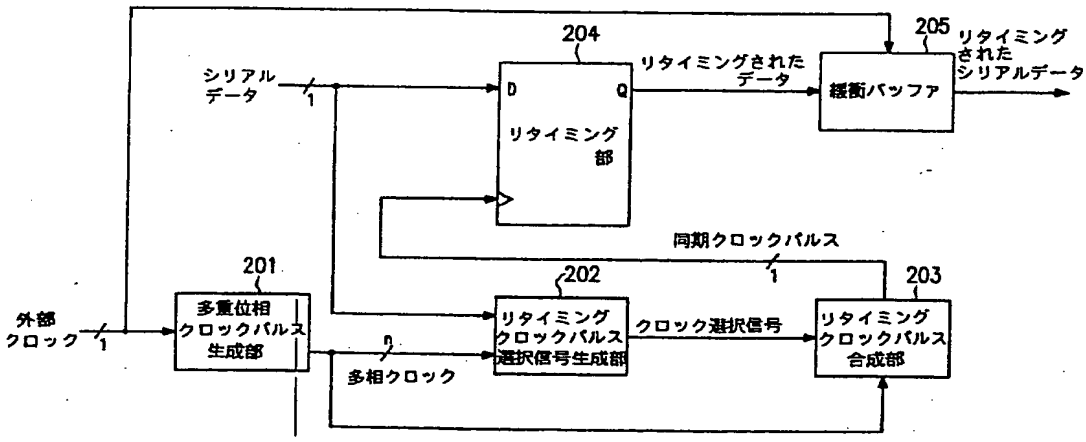
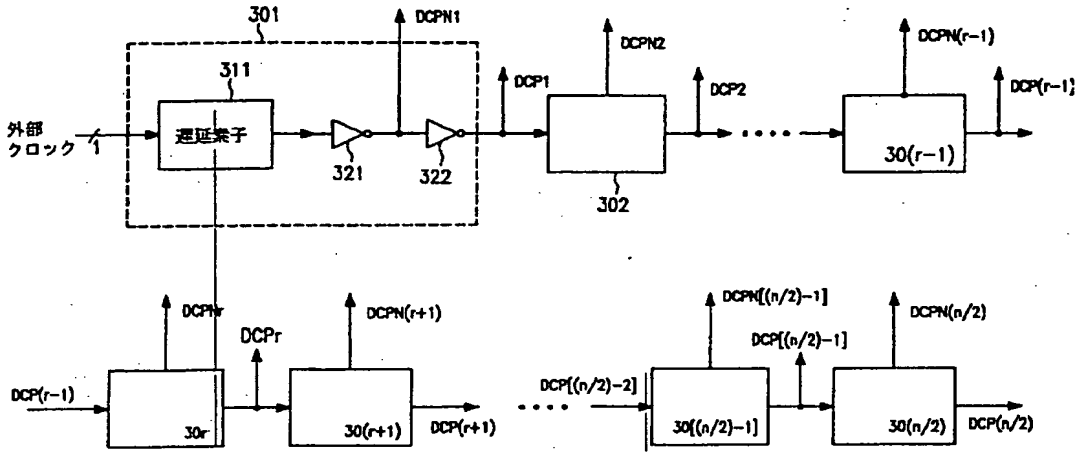


図2



【図２】

図3



[図3]

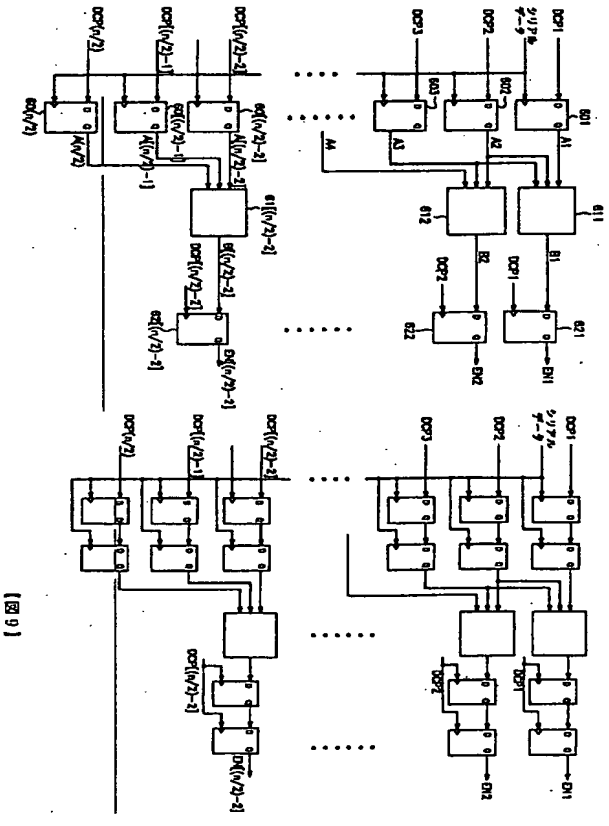


図6

[図6]

図7

[図7]

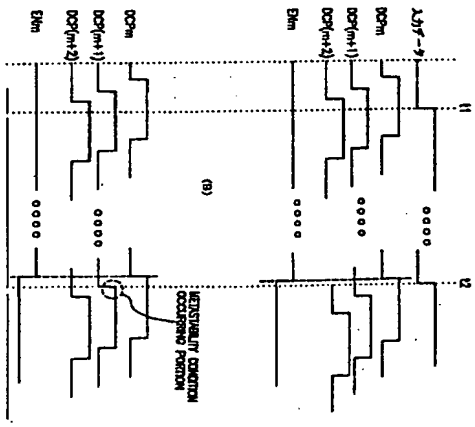
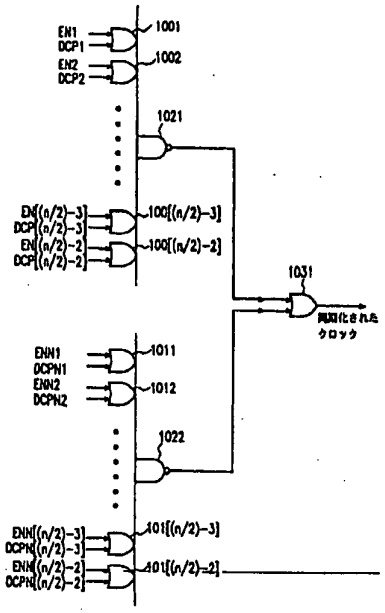


図9

[図9]

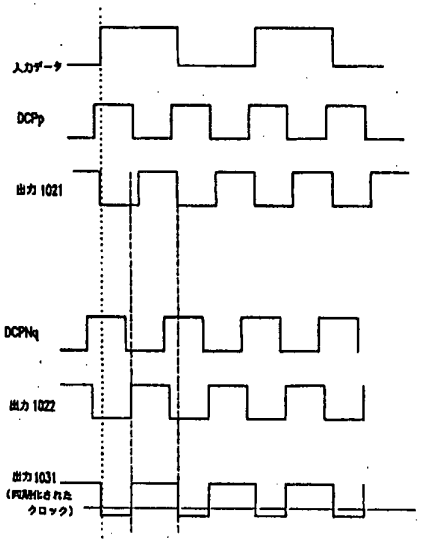
【図１０】

図10



【図１１】

図11



フロントページの続き

(72)発明者　プムチェオル　リー
大韓民国、デェジョン、ユソンク、ガジュンドン　161　エレクトロニクス　アンド　テレコミュニケーションズ　リサーチ　インスティチュート内

(72)発明者　クウォンチュル　パーク
大韓民国、デェジョン、ユソンク、ガジュンドン　161　エレクトロニクス　アンド　テレコミュニケーションズ　リサーチ　インスティチュート内

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☑ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.
As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.